

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048841

(43)Date of publication of application : 26.02.1993

(51)Int.Cl.

H04N 1/04

H01L 27/14

(21)Application number : 03-223405

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 08.08.1991

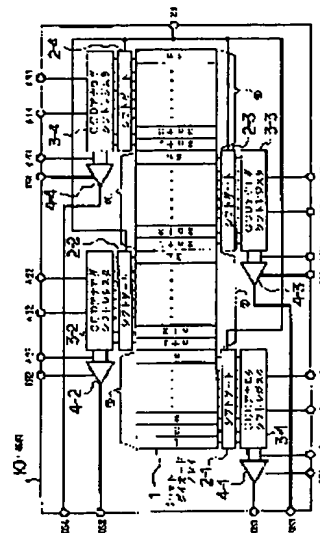
(72)Inventor : NISHIHATA TOSHIHIKO

(54) CCD LINE SENSOR

(57)Abstract:

PURPOSE: To increase the read speed, to suppress the occurrence of fixed pattern noise, and to realize the easiness of design or the like by increasing the degree of parallelism without restrictions due to the element constitution in an output buffer and uniformizing the distance between a photo diode array (PD array) and CCD analog shift registers (CCD-SR) with respect to the CCD line sensor which transfers and outputs the signal charge in parallel.

CONSTITUTION: A PD array 1 is divided in the scanning direction, and shift gates 2-i ($i=1$ to 4), CCD-SRs 3-i, and output buffers 4-i provided correspondingly to respective divided sections (1) to (4) are arranged on opposite sides of the PD array 1 in adjacent divided sections to secure a sufficient space for output buffers 4-i, and the degree of parallelism is increased without hindrance on the element constitution, and the signal charge of the PD array 1 is transferred and outputted at a high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-48841

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁵H04N 1/04
H01L 27/14

識別記号

102

庁内整理番号

7251-5C

FI

技術表示箇所

8223-4M

H01L 27/14

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号

特願平3-223405

(22)出願日

平成3年(1991)8月8日

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 西端 俊彦

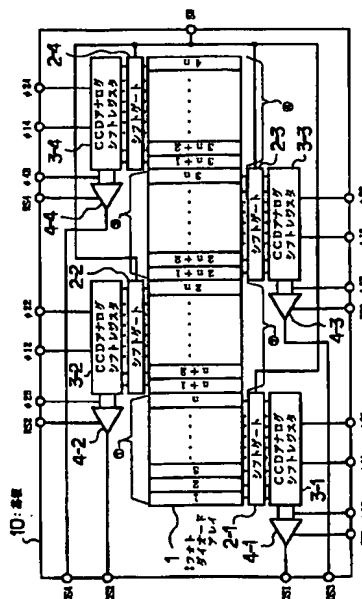
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54)【発明の名称】 CCDラインセンサ

(57)【要約】

【目的】 信号電荷を並列転送出力させるCCDラインセンサにおいて、出力バッファの素子構成のための制約を受けずに並列度を増加させて高速読出しを可能にし、またフォトダイオードアレイ(PDアレイ)とCCDアナログシフトレジスタ(CCD-SR)との間の距離を均等化して固定パターンノイズの発生を抑制すると共に、設計の容易化等を実現する。

【構成】 PDアレイ1を走査方向に関して分割し、各分割区間①〜④に対応させて設けられるシフトゲート2-i(i=1〜4)とCCD-SR3-iと出力バッファ4-iを、隣接する分割区間の相互間でPDアレイ1に対して逆側になるように配設することによって出力バッファ4-iのための十分なスペースを確保させ、素子構成上に支障なく並列度を増加させて、PDアレイ1の信号電荷を高速で転送出力させる。



【特許請求の範囲】

【請求項1】 フォトダイオードを整列させたフォトダイオードアレイと、そのフォトダイオードアレイに併設させたシフトゲートと、そのシフトゲートに併設されており、シフトゲートを介して各CCDレジスタが前記のフォトダイオードアレイの各フォトダイオードに接続されているCCDアナログシフトレジスタと、そのCCDアナログシフトレジスタの出力部に設けられた出力バッファとを基板上に構成したCCDラインセンサにおいて、フォトダイオードアレイの走査方向の区間を分割し、その各分割区間に対応させて設けられるシフトゲートとCCDアナログシフトレジスタと出力バッファを、隣接する分割区間の相互間でフォトダイオードアレイに対して逆側に位置するように配設したことを特徴とするCCDラインセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像情報を1次元的に光電変換して読取ってゆくCCDラインセンサに係り、高密度・高集積化されたフォトダイオードアレイ(PDアレイ)の信号電荷を高速で読出すことが可能な素子構成に関する。

【0002】

【従来の技術】CCDラインセンサは、PDアレイによって1次元的な画像情報をアナログ電気信号へ変換すると共に、その信号をCCDにより時系列的な電気信号として出力させる固体撮像デバイスであるが、ファクシミリ装置、ディジタル複写機、イメージスキャナ等のOA機器や、AFカメラの測距用センサ、バーコードリーダ等の民生用機器の画像入力用に広範に用いられている。そして、現状において代表的用途であるG3規格のファクシミリ装置では、1728又は2048の画素数のCCDラインセンサが使用されており、A4又はB4サイズ of 原稿を約200DPI(dot per inch)の主走査線密度で読取っている。

【0003】しかし、ISDNを用いるG4規格のファクシミリ装置では400DPIの線密度が要求されており、更に高解像度のディジタル複写機においてはそれ以上の600~800DPIの線密度が要求される場合が多く、CCDラインセンサの高密度・高集積化は益々重要な課題となりつつあり、それに伴いPDアレイから読出された信号を如何に高速で転送出力させるかが問題になっている。

【0004】従来から、CCDラインセンサにおける高速読出しを可能にする方式としては次のような構成が採用されている。先ず、図2に示すように、ライン状のPDアレイ51の両側部にそれぞれシフトゲート52,53とCCDアナログシフトレジスタ(CCD-SR)54,55を併設し、奇数番目のPDに蓄積された信号電荷を一方のシフトゲート52を介してCCD-SR54へ移送し、CCD-SR54の転送クロック ϕ 11、 ϕ 21により順次転送しながら出力バッファ57を介して出力端子OS1へ出力させ、偶数番目のPDに蓄積された信号

電荷を他方のシフトゲート53を介してCCD-SR55へ移送し、CCD-SR55の転送クロック ϕ 12、 ϕ 22により順次転送しながら出力バッファ57を介して出力端子OS2へ出力させる並列転送方式がある。今、PDアレイ51を5000画素数のものとし、単一構成のシフトゲートとCCD-SRを用いて信号の読出しを行う場合において、そのCCD-SRの上限転送周波数を10MHzと仮定すると1走査時間が500 μ secとなる。しかし、前記の図2に示した方式によれば、2本のCCD-SR54,55で信号電荷の転送を行うため、半分の1走査時間(250 μ sec)で足りることになる。即ち、それだけ高速での読取りが可能になり、PDアレイ51の画素数が大きくなった場合に有効となる。尚、出力端子OS2に接続される信号処理部ではCCDラインセンサの読出し速度より遥かに高速で信号処理を実行できるため、読出し速度の高速化によってボトルネックを生じるようなことはない。

【0005】また、他の方式として、図3に示すように、PDアレイ61(画素数:2m)の片側に単一のシフトゲート62と2本のCCD-SR63,64を併設し、PDアレイ61の1~m番目のPDとm+1~2m番目のPDに蓄積された信号電荷をそれぞれシフトゲート62を介して2本のCCD-SR63,64へ分割して移送し、1~m番目のPDから移送された信号電荷はCCD-SR63の転送クロック ϕ 11、 ϕ 21により順次転送されて出力バッファ65を介して出力端子OS1へ出力させ、m+1~2m番目のPDから移送された信号電荷はCCD-SR64の転送クロック ϕ 12、 ϕ 22により順次転送されて出力バッファ66を介して出力端子OS2へ出力させる並列転送方式がある。この方式は、PDアレイ61の信号電荷の取出し方が前記の方式と異なるが、並列転送を行うことについては前記の方式と同様であり、信号の読出し速度を2倍にすることが出来る。また、この方式では、分割数を2以上にすることも可能であり、原理的には読出し速度を分割数の逆数倍だけ高速化できることになる。

【0006】また更に、前記の2方式を複合化させた方式も採用され得る。即ち、PDアレイを複数区間に分割し、各区間における奇数番目と偶数番目の信号電荷を両側のCCD-SRに振り分け、各CCD-SRで順次転送出力させる方式である。

【0007】

【発明が解決しようとする課題】ところで、前記のような並列転送方式を採用することにより、CCDラインセンサの信号電荷の読出し速度を高速化できることになるが、各方式については次のような問題点がある。先ず、図2の方式によると、PDアレイ51の信号を奇数番目と偶数番目の2種類に分けて2並列転送することになるため、その読出し速度は1本のCCD-SRで転送している場合との比較で2倍の高速化が限度となる。

【0008】図3の方式では、原理的には前記の方式のような限界がないが、双方のCCD-SR63,64がPDアレイ61に対して片側に整列せしめられるため、出力バッファ66

を組込むためのスペースを確保することが困難になる。即ち、CCDラインセンサに適用される出力バッファの一般的な構成は図4(図3の出力バッファ66に対応)及び図5(等価回路図)に示され、フローティングダイオード部(FD)71、リセットゲート部72及びリセット電圧印加部73からなる出力制御回路74と、4個のFET構成による増幅回路75とから構成されているが、これらの回路素子を構成するためのスペースを前記のCCD-SR63,64の間に確保することが困難となり、通常はCCD-SR63,64のCCDレジスタのピッチをPDアレイ61のPDのピッチより小さくすることによって前記のスペースを確保させるようにしている。

【0009】従って、画像の読取り解像度を向上させるためにPDアレイ61のPDのピッチを更に小さくすると、それに比例して出力バッファ66の素子構成スペースが小さくなり、素子の製造が困難になると共に、信号の増幅度や転送効率に問題が生じる。更に、図3から明らかなように、PDアレイ61とCCD-SR63,64の長さが異なるために各PDから対応するCCDレジスタまでの距離も異なり、シフトゲート62を介しての信号移送速度にバラツキが発生して画像情報に固定パターンノイズが現われることがある。また、同様の理由から、素子・配線的设计手順が複雑化し、ピッチや画素数の変更があった場合の設計作業が極めて煩雑になるという不都合もある。尚、2方式を複合化させた方式についても、図3の方式を内在させるため、前記と同様の問題点を生じる。

【0010】そこで、本発明は、PDアレイに対するシフトゲートとCCD-SRの分割配置構成を工夫することにより、PDアレイが高密度・高集積化されても出力バッファの素子構成スペースを十分に確保でき、信号電荷の並列転送によって高速読出しが可能なCCDラインセンサを提供することを目的として創作された。

【0011】

【課題を解決するための手段】本発明は、PDを整理させたPDアレイと、そのPDアレイに併設させたシフトゲートと、そのシフトゲートに併設されており、シフトゲートを介して各CCDレジスタが前記のPDアレイの各PDに接続されているCCD-SRと、そのCCD-SRの出力部に設けられた出力バッファとを基板上に構成したCCDラインセンサにおいて、PDアレイの走査方向の区間を分割し、その各分割区間に対応させて設けられるシフトゲートとCCD-SRと出力バッファを、隣接する分割区間の相互間でPDアレイに対して逆側に位置するように配設したことを特徴とするCCDラインセンサに係る。

【0012】

【作用】本発明によれば、PDアレイの各分割区間内のPDで生じた信号電荷をその分割区間に対応したシフトゲートとCCD-SRで読出させる。即ち、信号電荷は各分割区間毎にシフトゲートを介してCCD-SRへ移送され、CCD-SRに入力されている転送クロックによって順次転送されてな

がら出力バッファを介して出力されることになり、従来技術と同様に並列転送方式での高速読出しが可能になる。

【0013】本発明では、前記の並列転送方式に加えて、各分割区間に対応したシフトゲートとCCD-SRと出力バッファを隣接する分割区間との関係でPDアレイに対して逆側に配設させている。従って、各分割区間に対応したCCD-SRの前後には、常に隣接した分割区間に対応したCCD-SRの走査方向長さに相当する間隔が構成されることになる。この結果、PDアレイの出力部には出力バッファを構成するための十分なスペースが確保され、分割区間の数を増加させて並列度を上げた転送方式を採用する場合にも、その限界を飛躍的に向上させることが可能になる。即ち、原理的には出力バッファの素子構成に要する走査方向長さを分割区間の単位とすることができ、その条件の範囲内で並列度を上げることができる。

【0014】また、本発明では、PDアレイの各分割区間長とその分割区間に対応したシフトゲート及びCCD-SRの長さを同一にすることができ、PDアレイにおけるPDのピッチとCCD-SRにおけるCCDレジスタのピッチを同一にでき、必然的に各PDとCCDレジスタの間の配線長と配線パターンを均等に構成できる。

【0015】

【実施例】以下、図1を用いて本発明の一実施例を説明する。尚、本実施例ではPDアレイを4区間に分割した場合を例にとっている。図1はCCDラインセンサの全体構成図であり、1はPDアレイを、2-1,2-2,2-3,2-4はシフトゲートを、3-1,3-2,3-3,3-4はCCD-SRを、4-1,4-2,4-3,4-4は出力バッファを示し、それらの各素子は単一の基板10の上に結合構成されている。ここに、PDアレイ1は画素数 $4n$ 個に対応するものであり、走査方向に $4n$ 個のPDを整理させているが、その信号電荷の出力に関してはそれぞれが n 個のPD素子からなる4区間(①～④区間)に分割されており、分割区間①に対してはシフトゲート2-1とCCD-SR3-1と出力バッファ4-1が、分割区間②に対してはシフトゲート2-2とCCD-SR3-2と出力バッファ4-2が、分割区間③に対してはシフトゲート2-3とCCD-SR3-3と出力バッファ4-3が、分割区間④に対してはシフトゲート2-4とCCD-SR3-4と出力バッファ4-4がそれぞれ対応付けて併設されている。

【0016】そして、図から明らかなように、各分割区間①～④に対応するシフトゲートとCCD-SRと出力バッファは、隣接する分割区間の相互間でPDアレイに対して逆側に位置するように配設されている。即ち、シフトゲートとCCD-SRと出力バッファは、奇数番の分割区間①③に関してはPDアレイ1の下側に、偶数番の分割区間②④に関してはPDアレイ1の上側に配設されている。

【0017】前記の配設関係により、PDアレイ1の各分割区間①～④の走査方向長とシフトゲート2- i , CCD-SR3- i ($i=1\sim4$)の走査方向長が同一であって、分割区間②～

④に対応した出力バッファ4-2,4-3,4-4を前方の分割区
間①〜③側に構成している場合において、分割区①〜
③側には素子が構成されていないため、出力バッファ4-
2,4-3,4-4を構成するためのスペースを十分な余裕をも
って確保できる。従って、シフトゲート2-1とCCD-SR3-1
をPDアレイ1の各分割区①〜④の走査方向長より短く
構成して出力バッファ4-2,4-3,4-4の構成スペースを確
保する必要はなく、図3の構成のように出力バッファ4-
2,4-3,4-4を必要以上に小さく構成する必要がなくな
る。その結果、信号の増幅度や転送効率に支障がない回
路設計が可能になり、且つその範囲内でCCDラインセン
サ全体の素子構成を高密度・高集積化することができ
る。

【0018】次に、このCCDラインセンサの動作を説明
する。先ず、原稿からの反射光が1次元的にPDアレイ1
に結像せしめられると、PDアレイ1の各PD(1〜4n)にはそ
の結像光の光量分布に応じて光電変換された信号電荷が
蓄積されるが、シフトゲート制御信号SHのレベルをOFF
→ON→OFFに切換えて各シフトゲート2-1,2-2,2-3,2-4を
一瞬開放し、前記の各PD(1〜4n)の信号電荷をCCD-SR3-
1,3-2,3-3,3-4へ移送する。この実施例では、PDアレイ1
の各分割区①〜④に対応させてシフトゲート2-1,2-2,
2-3,2-4とCCD-SR3-1,3-2,3-3,3-4が設けられているた
め、分割区①のPD(1〜n)の信号電荷はCCD-SR3-1へ、
分割区②のPD(n+1〜2n)の信号電荷はCCD-SR3-2へ、分
割区③のPD(2n+1〜3n)の信号電荷はCCD-SR3-3へ、分
割区④のPD(3n+1〜4n)の信号電荷はCCD-SR3-4へ移送
されることになる。

【0019】そして、リセットゲート端子φ1B, φ2B, φ
3B, φ4Bと出力バッファ4-1,4-2,4-3,4-4のリセット電圧
端子RS1, RS2, RS3, RS4をセット状態にし、各CCD-SR3-1,3
-2,3-3,3-4に対して入力されている転送クロックφ11,
φ21/φ12, φ22/φ13, φ23/φ14, φ24によって各CCD
-SR3-1,3-2,3-3,3-4へ移された信号電荷を各出力バッ
ファ4-1,4-2,4-3,4-4側へ順次転送する。出力バッファ4-
1,4-2,4-3,4-4では転送されてくる信号電荷に基づいて
時系列的に変化する電圧を出力させ、それぞれの出力端
子OS1, OS2, OS3, OS4へ出力させる。前記の出力端子OS1, OS
2, OS3, OS4からの出力は画像処理システム（図示せず）
へ転送されて処理されることになるが、本実施例では4
並列転送方式を採用しているため、画像処理システムで
は出力端子OS1, OS2, OS3, OS4からの入力信号を1走査分
の信号となるように合成して処理する。

【0020】以降、CCDラインセンサと読取り原稿の副
走査方向への相対的移動に伴って、CCDラインセンサは
前記の動作手順を繰返し、原稿の1次元的な画像情報を
逐次画像処理システム側へ転送することになるが、画像
処理システム側ではそれらの1次元的な画像情報を順次
副走査方向に並列させて2次元的な画像を組立てること
になる。そして、本実施例のCCDラインセンサでは、読

取り信号を4並列転送していることから、一本のCCD-SR
で転送している場合と比較して4倍の読出し速度が実現
でき、また図2や図3に示したCCDラインセンサの構成
に基づく読出し速度に対しても2倍の速度での読出しが
可能になる。

【0021】ところで、このCCDラインセンサの設計思
想に基づけば、原理的には出力バッファの素子構成ス
ペースが確保できる範囲でPDアレイ1の分割区間数を更
に増加させることも可能であり、その場合には分割区間数
の逆数に比例させて読出し速度を高速化することがで
き、転送機能や増幅器機能を低下させることなく読出し
速度を飛躍的に向上させることが可能になる。

【0022】また、本実施例では各CCD-SR3-1,3-2,3-3,
3-4に対して出力バッファ4-1,4-2,4-3,4-4を同一方向に
配設しているが、その配設方向は任意であり、分割区間
①〜④を更に分割して両側に出力バッファを設けること
も可能である。更に、本実施例では分割区間①〜④の区
間長を均等にして同一数のPDで構成されるようにしてい
るが、場合によっては不均等にしてもよく、1走査線の
画素数や画像処理システム側の仕様等を考慮して各分割
区間長を設定すればよい。

【0023】

【発明の効果】本発明は以上の構成を有していること
により、次のような効果を奏する。PDアレイの各分割区間
に対応したシフトゲートとCCD-SRと出力バッファを、隣
接する分割区間との関係でPDアレイに対して逆側に配設
させているため、出力バッファの素子構成スペースを十
分に確保しながら分割区間数を増加させることができ、
並列度をより増加させた転送方式を実現して読出し速度
を飛躍的に向上させる。また、従来のようにPDアレイの
PDのピッチよりCCD-SRのCCDレジスタのピッチを小さく
する必要がなくなり、設計・製造上の困難性が解消さ
れ、転送信号量や転送効率の低下のないCCDラインセン
サを実現できる。更に、PDアレイの各PDからCCD-SRの各
CCDレジスタまでの配線距離を均一化できるため、当初
の設計が容易であると共に、ピッチや画素数の変更に伴
う設計変更があった際にも容易に対応できる。また、同
様の理由から、信号電荷の移送時間のバラツキに基づく
固定パターンノイズを無くすることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るCCDラインセンサの全体
構成図である。

【図2】従来技術におけるCCDラインセンサの全体構成
図である。

【図3】従来技術におけるCCDラインセンサの全体構成
図である。

【図4】出力バッファの素子構成を示す図である。

【図5】出力バッファの等価回路図である。

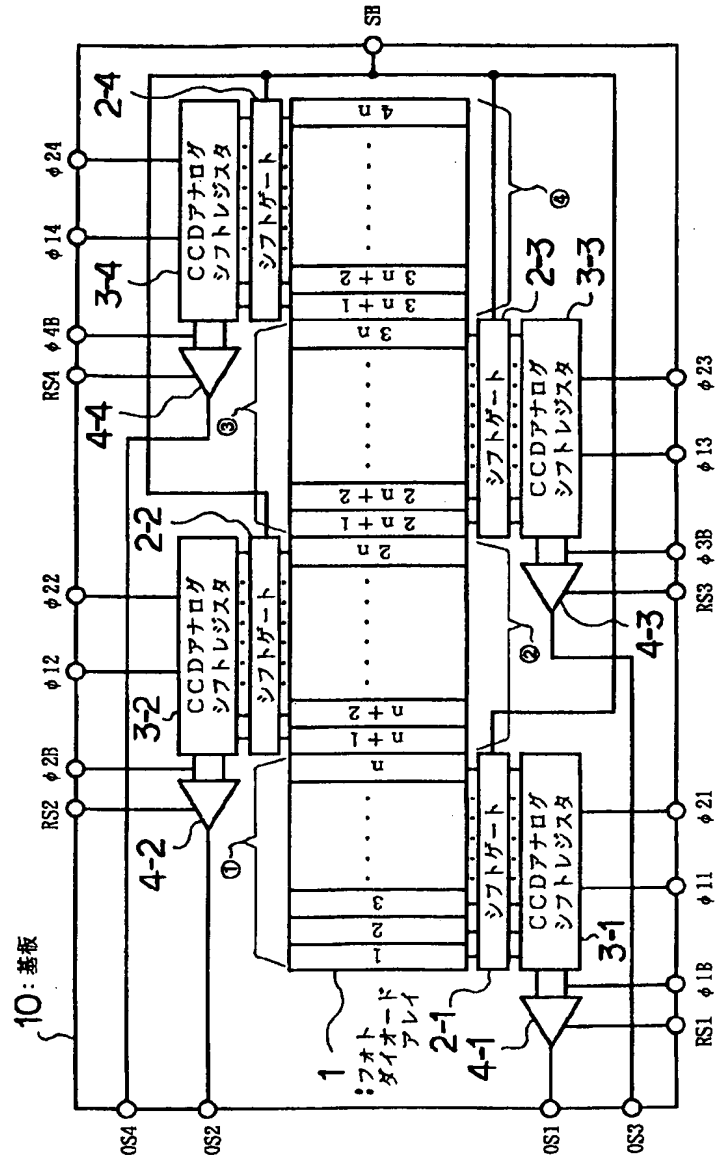
【符号の説明】

1…PDアレイ、2-1,2-2,2-3,2-4…シフトゲート、3-1,3-

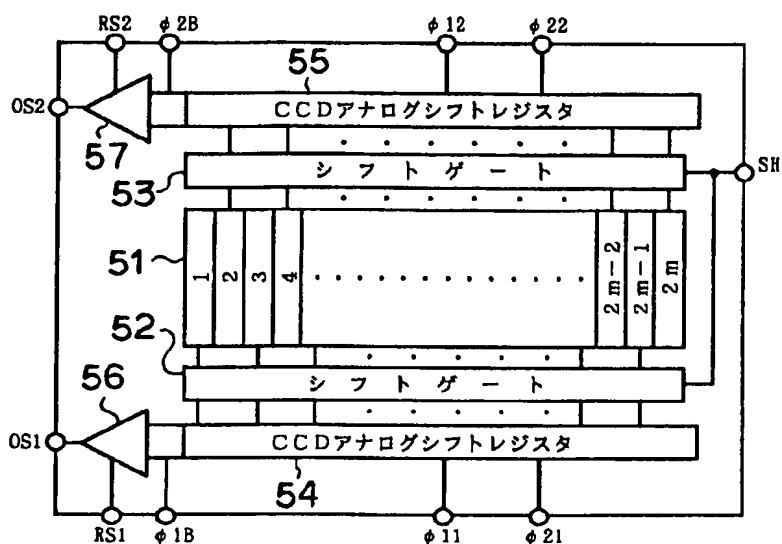
2,3-3,3-4...CCD-SR、4-1,4-2,4-3,4-4...出力バッファ、

10...基板、①,②,③,④...PDアレイの分割区間。

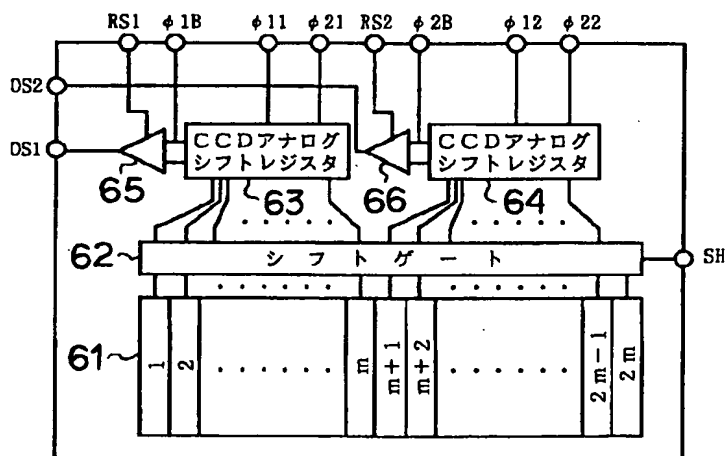
【図1】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.